

리드-온-칩 패키지 기술로 조립된 반도체 디바이스에서 온도변화에 의해 발생하는 Si₃N₄ 손상

이성민^{1,*} · 김연욱²

¹국립인천대학교 신소재공학과

²계명대학교 신소재공학과

Thermal-Cycling-Induced Si₃N₄ Damage in Semiconductor Devices Assembled Utilizing a Lead-on-Chip Package

Seong-Min Lee^{1,*} and Yeon-Wook Kim²

¹Department of Materials Science & Engineering, Incheon National University,
119 Academy-ro, Yeonsu-gu, Incheon, 22012, Republic of Korea

²Department of Advanced Materials Engineering, Keimyung University,
1095 Dalgubeol-daero, Dalseo-gu, Daegu, 42601, Republic of Korea

Abstract: This article shows how fractures in the Si₃N₄ layer, which comprises the top layer of semiconductor devices encapsulated utilizing a lead-on-chip (LOC) packaging technique, are influenced by changes in the lead-frame materials and thermal-cycling test conditions. Using thermal-cycling tests, it was found that fractures in the Si₃N₄ layer are the most sensitive to changes in the lead-frame materials at the early stage of thermal-cycling, between -65 °C and 150 °C. Through SEM examinations and stress simulations, this work shows that adopting a copper lead-frame with a CTE-value similar to that of a package body effectively prevents filler-driven Si₃N₄ damage, providing semiconductor devices with better reliability margins during thermal-cycling.

(Received 14 July, 2022; Accepted 14 November, 2022)

Keywords: semiconductor, chip, stress, fracture, reliability

1. INTRODUCTION

삼성전자의 주력 제품인 DRAM (dynamic random access memory)와 같은 반도체 메모리 제품은 원가 절감을 위해 일괄공정에 의해 많은 양의 제품을 대량으로 생산한다. 따라서, 회로의 보호를 위해 CPU (central processing unit) 등에서 사용되는 조립식 금속 케이스를 패키지 몸체로 사용하지 못하고 대신 에폭시 레진이 기초가 된 복합재료 (epoxy molding compound)를 이용하여 몰딩 공정에 의한 패키지 몸체로 사용하고 있다 [1-12]. 이러한 플라스틱 복합재료는 회로를 외부의 환경으로부터 차단시켜 버릴 수 있기 때문에 외부의 물리, 화학적 환경으로부터 회로를 보

호하는 면에서 탁월한 장점은 있다. 그러나, 회로에서 발생하는 열을 효율적으로 외부로 방출하지 못하는 한계성을 갖는다 [1-12]. 더불어, 플라스틱 패키지 몸체가 회로에 직접적으로 맞닿아 발생하는 여러 물리, 화학적인 현상들로 인해 회로나 회로의 보호막이 손상되는 문제도 배제할 수 없는 것이 또한 현실이다 [1].

특별히, 리드 프레임 패키지 구조에서 널리 사용되는 리드-온-칩 패키지 구조에서는 패키지 몸체 내부의 인너 리드 핑거가 회로 바로 위에 위치하고 있어서 회로의 보호막과 인너 리드 사이의 빈 공간에는 패키지 몸체의 구성재료인 필러가 트랩될 수 있다 [1]. 이때, 패키지 완제품이 사용 중에 온도변화를 겪게 되면 패키지 구성 재료들 사이의 물성이 상이하기 때문에 이러한 필러에 압축응력이 인가될 수 있고, 그로 인해 회로 보호막이 직접적으로 손상되는 문제가 발생할 수 있다 [1]. 그럼에도 불구하고 리드-온-칩 패키지 구조는 경제적인 측면이나 역학적 안정성 등 여러

- 이성민 · 김연욱: 교수

*Corresponding Author: Seong-Min Lee

[Tel: +82-10-4322-5236, E-mail: smlee@inu.ac.kr]

Copyright © The Korean Institute of Metals and Materials

장점 때문에 향후에도 반도체 메모리 제품에서 널리 사용될 것으로 전망되어 필러에 의한 회로 보호막의 손상문제는 충분히 연구되고 해결되어야 할 과제이다. 더욱이, 대부분의 전자제품들이 소형화됨에 따라 반도체 패키지 제품들 또한 보다 작고 얇아지면서 이와 같은 문제들이 더 심각해지고 있는 것이 또한 현실이다. 이러한 이유로 인해 본 연구에서는 반도체 제품의 사용 중 플라스틱 패키지 몸체를 가진 리드-온-칩 패키지 구조에서 문제 발생의 원인이 되는 리드 프레임의 재질이나 구조 또는 온도변화의 진폭 등이 회로 또는 회로의 보호막에 어떠한 영향을 미칠 수 있는지에 대한 연구를 심도 있게 진행하고자 한다.

2. EXPERIMENTAL

본 연구에서 사용된 시편은 리드-온-칩 구조를 가진 리드 프레임 패키지이며 도식적인 그림이 Fig. 1에 소개되어 있다. 디바이스는 실리콘 칩 위에 0.3 μm 두께의 Cu 회로가 사용되었고, 회로를 보호하는 패시베이션 막으로 Si₃N₄가 0.3 μm 두께로 사용되었다. 그리고 디바이스 칩은 1000 μm × 500 μm × 50 μm의 규격을 가지며, 리드 프레임은 80 μm 두께의 copper와 alloy 42 (58% Fe-42% Ni)

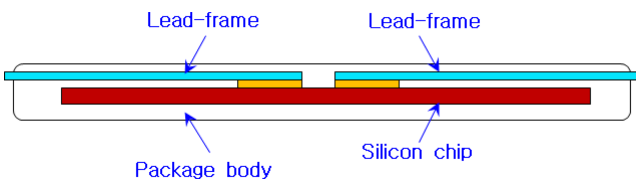


Fig. 1. Schematic drawing of a LOC (lead-on-chip) package structure.

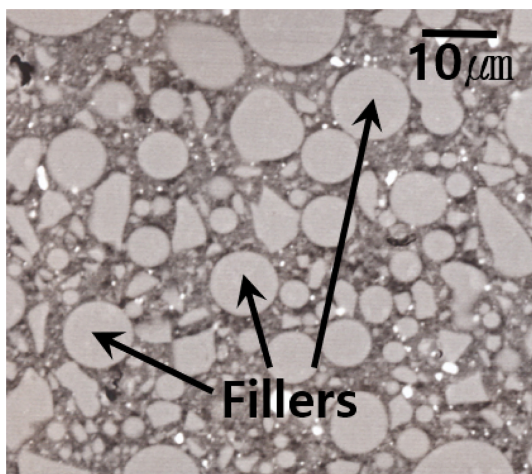


Fig. 2. Micrograph showing silica fillers in the plastic package body.

가 각각 사용되었다. 패키지 몸체는 에폭시 레진에 Al₂O₃가 80% 무게비로 함유된 EMC가 사용되었다. 이때, 필러의 모양은 구형이며, EMC의 단면이 Fig. 2에서 보여진다. 본 연구에서는 EMC 내에 포함되어 있는 필러들의 규격이 회로와 리드 프레임 사이의 거리에 필적하는 직경을 갖기 때문에 패키지 몸체 내부에 존재하는 필러들은 몰딩 공정 동안 회로와 리드 프레임 사이에 쉽게 트랩될 수 있도록 준비되었다. 이러한 조건하에서 리드 프레임 재질의 변화와 실험 온도 진폭의 차별화가 회로나 회로 보호막(Si₃N₄) 손상에 어떠한 영향을 미칠 수 있는지에 대한 실험이 진행되었다. 이때, 실험 온도 진폭의 유의차에 대한 연구를 위해 현재 반도체 회사에서 가장 널리 이용되고 있는 -55 °C에서 125 °C까지의 온도변화와 -65 °C에서 150 °C까지의 온도변화 두 다른 사이클이 이용되었다. (Fig. 3 참조) Fig. 3에서 볼 수 있듯이 -55 °C에서 125 °C까지의 온도변화 사이클의 경우 최대 180 °C의 온도변화 진폭을 만들어 낼 수 있으며, -65 °C에서 155 °C까지의 온도변화 사이클의 경우에는 최대 215 °C의 온도변화 진폭을 만들어 낸다는 것을 알 수 있다. 이들 온도 변화 실험은 30분 주기로 1000회까지 진행되었으며 매 200회 마다 회로나 회로 보호막의 손상 여부가 최대 100배의 확대된 배율하에서 확인되었다. 즉, 광학 현미경 (올림푸스 DSX1000)을 이용하여 회로 보호막 손상의 유무를 일차적으로 판단하였고, 이후 세밀한 관찰을 위해 해당 시편을 전자 현미경 (SU-3500 SEM)으로 분석하였다. 그 결과에 따라 실험 조건별 회로 보호막 손상의 여부가 평가되었고, 회로나 회로 보호막 손상의 원인이 조사되었다.

또한, 리드프레임 재질에 따른 유의차를 평가하기 위해 온도변화 과정에서 리드 프레임에 수직으로 발생할 수 있는 응력 (즉, 회로에 수직으로 발생하는 응력)과 전단응력 (즉, 회로에 수평으로 발생하는 응력)이 CAD (computer-aided design) 작업을 통해 분석되었다. Abaqus가 응력해

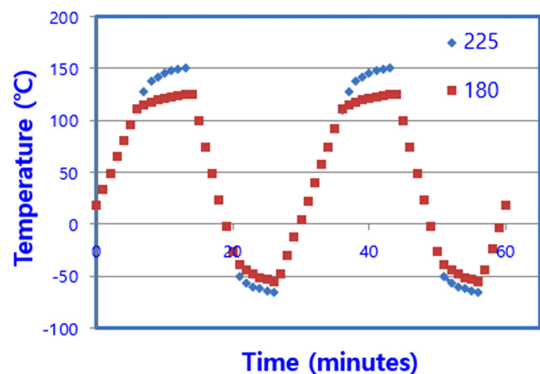


Fig. 3. Two different thermal-cycling profiles.

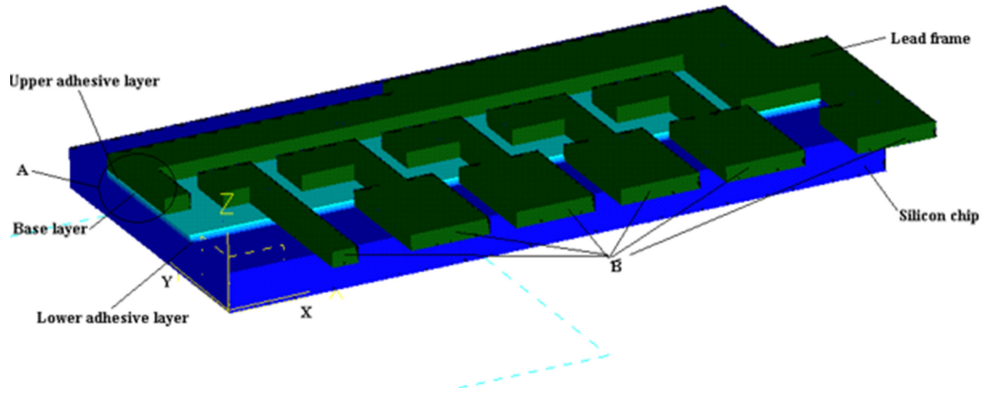


Fig. 4. One quarter view of a LOC package structure.

Table 1. Physical properties of packaging materials in a LOC package structure.

Material	Young's modulus (GPa)	Poisson's ratio	Thermal expansion coefficient (ppm/°C)
Silicon	188	0.3	3
EMC	14.7	0.25	18
Copper	113	0.33	17
Alloy 42	148	0.3	5

석을 위해 사용되었다. Fig. 4는 응력해석을 위한 1/4 모델을 보여주고 있다. 이 그림에서 A 부위가 LOC 패키지의 중심이고, 이를 기준으로 대칭조건을 부과하였고, 리드 프레임에 해당하는 B 부위에 대해서는 YZ를 고정하였다. 그리고 각 구성재료의 연결은 절점공유 (node coincidence) 방식에 의해 연결되었다. Table 1은 응력해석에 사용된 LOC 패키지 구성 재료들의 물성을 보여주고 있다.

3. RESULTS AND DISCUSSION

본 연구에서는 각각 두 다른 리드프레임 재질 (즉, copper와 alloy 42)로 조립된 리드-온-칩 패키지 시편들이 두 다른 온도변화 사이클을 최대 1000 회까지 진행한 후 회로 보호막 (Si_3N_4)의 손상 여부를 분석하였다. Fig. 5는 리드 프레임 재질이나 온도변화 진폭의 변화가 사이클 수에 따른 회로 보호막 손상에 미치는 영향을 보여주는 도표이다. 이때, 보호막 손상의 가능성은 실험 조건 별 시편들을 광학 현미경으로 100배 확대하여 조사된 시편 대비 손상이 발견된 시편의 비로 정의되었다. 이 도표에서 온도변화 사이클이 증가할수록 누적된 보호막 손상 발생 가능성 또한 증가하는 것을 확인할 수 있었다. 이때, -65°C 에서 150°C 까지의 온도변화에서 alloy 42 리드 프레임을 사용하였을 때 -55°C 에서 125°C 까지의 온도변화에서 Cu 리드 프레임을 사용하였을 때 보다 200 사이클의 비교적 초

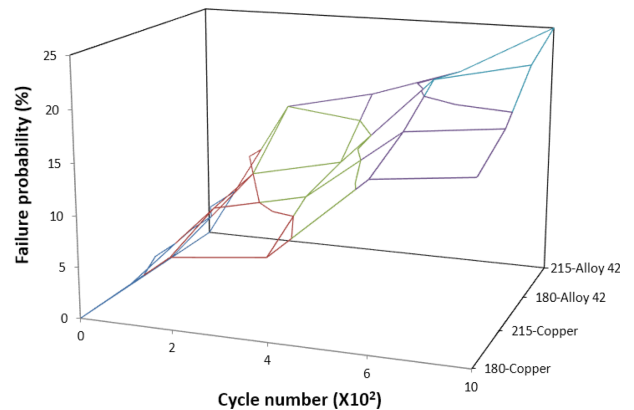


Fig. 5. Graph showing the possibility of Si_3N_4 damage as a function of test conditions and thermal cycles.

기 단계에서 회로 보호막 손상 확률이 3배 정도 높은 것으로 조사되었다. 즉, 온도변화 사이클 초기에는 리드-온-칩 패키지 구조에서 온도변화의 진폭 보다는 리드 프레임 재질의 변화가 회로 보호막 손상에 더 큰 영향을 미칠 수 있다는 것을 확인할 수 있었다. 반면, 온도변화 사이클이 클수록 리드 프레임 재질 보다는 온도변화의 진폭이 회로 보호막 손상에 더 큰 영향을 줄 수 있다는 것을 확인할 수 있었다. Fig. 5의 실험결과에 대한 해석을 위해 리드-온-칩 패키지 구조에서 패키지 몸체에 존재하는 필터에 의해 반도체 회로의 보호막 (즉, Si_3N_4)이 어떠한 양상으로 손상되는지를 전자 현미경을 이용하여 조사하였다. Fig. 6은

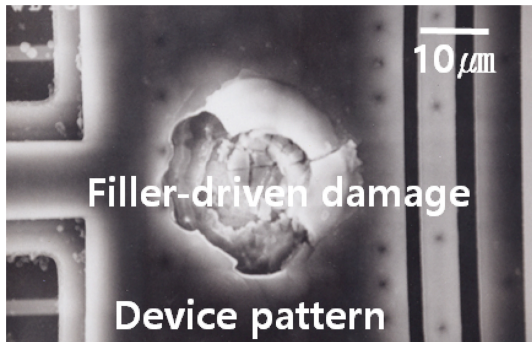


Fig. 6. Scanning electron micrograph showing filler-induced Si_3N_4 damage in a LOC package with an alloy 42 lead-frame after 200 thermal cycles.

alloy 42 재질의 리드 프레임이 가진 패키지 시편을 -65°C 에서 150°C 까지의 온도변화 진폭으로 200 사이클까지 실험했을 때 필러에 의해 손상된 회로 보호막을 보여주는 전자 현미경 사진이다. 이 사진에서 볼 수 있듯이 회로의 보호막 재질인 Si_3N_4 가 마치 폭격을 맞은 것처럼 움푹 파진 것을 확인할 수 있었다. 이것은 회로의 보호막이 구형의 필러에 가해진 압축력에 의해 눌린 자국임이 분명하다는 사실을 확인할 수 있다. 즉, 리드-온-칩 구조에서 반도체 회로는 온도변화 과정에서 리드 프레임과 회로 보호막 사이에 필러가 존재할 경우 리드 프레임에 발생하는 수직 응력에 의해 필러에 압축력을 유발하여 취성이 큰 회로 보호막을 손상시킬 수 있다는 것을 확인한 것이다. Fig. 7(a)는 alloy 42 재질의 리드 프레임을 가진 패키지 시편을 -65°C 에서 150°C 까지의 온도변화 진폭으로 200 사이클까지 실험했을 때 다른 회로와 회로 보호막 손상을 보여주는 전자 현미경 사진이다. 이때, 해당 회로와 회로의 보호막 손상의 모양 또한 필러의 모양을 반영한 형태로 발생하였다는 사실을 확인할 수 있었다. 반면, Fig. 7(b)는 alloy 42 재질의 리드 프레임을 가진 패키지 시편을 -65°C 에서 150°C 까지의 온도변화 진폭으로 1000 사이클 온도변화 실험했을 때 회로와 회로 보호막 손상을 보여주는 전자 현미경 사진이다. 이 경우에는 회로와 회로 보호막 손상의 모양이 필러에 의한 눌림 자국과는 전혀 다른 양상으로 발생하였음을 확인할 수 있었다. 즉, 이 그림에서 볼 수 있듯이 회로 손상이 칩의 테두리 부위에서 시작되어 칩 안쪽으로 날카로운 균열의 형태로 성장했다는 것을 확인할 수 있었다. 이것은 온도변화 사이클 수가 1000 회까지 증가하였을 때 필러에 의한 회로 보호막 손상 보다는 칩 테두리 부위에 다이싱 과정에서 발생한 칩핑 결함이 온도변화 과정에서 플라스틱 패키지 몸체의 수축으로 촉발되는 전단응력에 의해 칩 안쪽으로 성장해 들어가는 과정에서 발생하

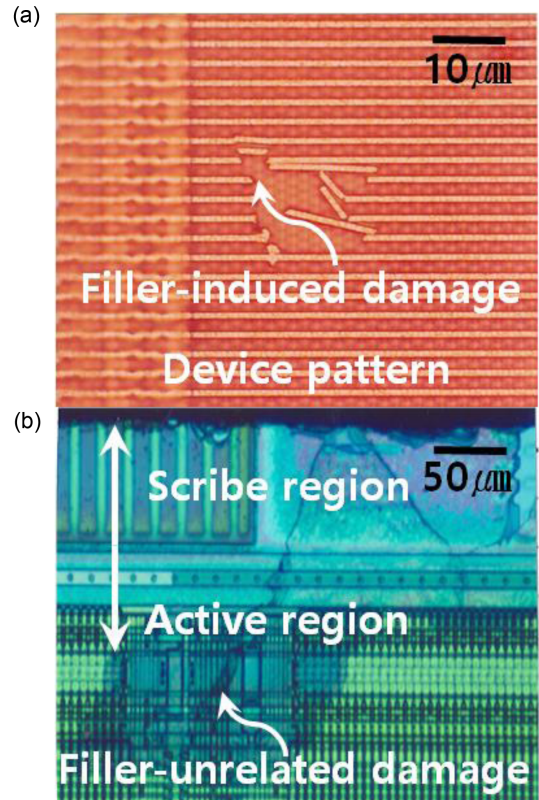


Fig. 7. Scanning electron micrographs showing two different types of Si_3N_4 damages in LOC packages with alloy 42 lead-frames : (a) filler-induced damage (200 thermal cycles) and (b) filler-unrelated damage (after 1000 thermal cycles).

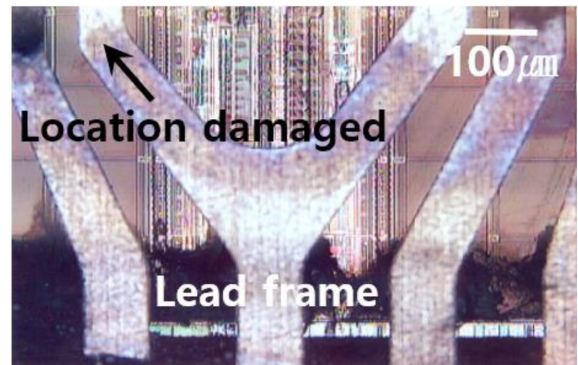


Fig. 8. Scanning electron micrograph showing the location of filler-induced damage in a LOC package with an alloy 42 lead-frame after 200 thermal cycles.

는 것으로 판단되었다. Fig. 8은 alloy 42 재질의 리드 프레임을 가진 패키지 시편을 -65°C 에서 150°C 까지의 온도변화 진폭으로 200 사이클까지 온도변화 실험했을 때 회로의 보호막 손상의 위치에 해당하는 인너 리드 프레임을 보여주는 광학 현미경 사진이다. 이 그림에서 볼 수 있듯이 필러에 의한 회로 보호막 손상은 인너 리드 프레임이

칩의 안쪽을 가로 지르는 부위에서 발생한다는 것을 알 수 있다. 결국, 리드 프레임 재질이 alloy 42 이고, 온도변화 진폭이 215 °C 이며, 비교적 초기 온도변화 사이클에서 필러에 의한 회로 보호막 손상이 분화구 모양으로 나타나는 것은 온도변화 과정에서 회로 위를 지나는 리드 프레임 아래에 필러가 존재할 경우 해당 필러에 유의미한 압축력을 유발하기 때문으로 해석될 수 있는 것이다. 따라서, 리드 프레임 재질의 영향과 온도변화 진폭이 적절히 조화되어 이러한 필러에 충분한 압축력이 발생할 경우 해당 부위의 회로 보호막이 우선적으로 손상되는 것으로 해석될 수 있다. 즉, 온도변화 사이클 수가 적더라도 이러한 조화가 최적화 될 경우 필러에 발생하는 압축력이 임계치를 초과하여 회로 보호막을 손상시키는 것으로 해석된다. 반면, 온도변화 사이클 수가 클 경우라도 리드 프레임과 회로 보호막 사이에 적절한 필러가 존재하지 않을 경우 필러에 의한 회로 보호막 손상이 발생할 수 없는 것이다. 그러나, 칩 테두리 부위에 칩핑 손상에 의해 발생된 결함이 존재할 경우 플라스틱 패키지 몸체의 수축 과정에서 발생하는 전단응력이 이러한 결함의 성장을 유도하여 Fig. 7(b)에서와 같은 칩 안쪽 회로 보호막의 손상으로 이어질 수 있는 것으로 해석될 수 있다. 결국, 온도변화 사이클의 증가에 따라 회로 보호막 손상의 모양이나 양상이 달라지는 이유는 리드 프레임 재질이나 온도변화에 따라 회로 보호막의 손상 메카니즘이 변화될 수 있기 때문으로 해석될 수 있다. 이에 대한 보다 구체적인 설명을 위해 응력해석이 진행되었다. Fig. 9는 온도변화 과정에서 리드-온-칩 패키지를 구성하는 두 다른 재질의 리드 프레임에 발생하는 수직응력 (필러에 압축력으로 작용할 수 있는 응력) 분포도를 보여주는 응력 해석 사진들이다. Fig. 9(a)에서 볼 수 있듯이 리드 프레임 표면에 수직으로 작용하는 수직응력은 180 °C의 온도변화 조건에서 Cu 리드 프레임이 사용되었을 때 보다 Fig. 9(b)에서 볼 수 있듯이 215 °C의 온도변화 조건에서 alloy 42 리드 프레임을 사용하였을 때 수직응력이 최대 62.7% 더 크다는 것을 알 수 있었다. 이것은 Table 1에서 볼 수 있듯이 alloy 42가 Cu 보다 더 큰 탄성계수 값을 갖기 때문에 리드-온-칩 패키지 구조에서 중앙의 칩을 기준으로 상하의 물성차를 더 많이 발생시킬 수 있기 때문으로 해석될 수 있다. 즉, 필러에 전가될 수 있는 압축력은 온도변화 동안 패키지 전체의 휨 변형 과정에서 Cu 보다는 alloy 42 리드 프레임이 사용된 패키지의 경우 더 커질 수 있다는 것을 확인할 수 있다. 또한, 재질에 관계없이 리드 프레임에 가장 큰 수직응력이 발생할 수 있는 위치는 리드 프레임의 폭이 급격히 줄어들거나 꺾이는 부위에서 주로

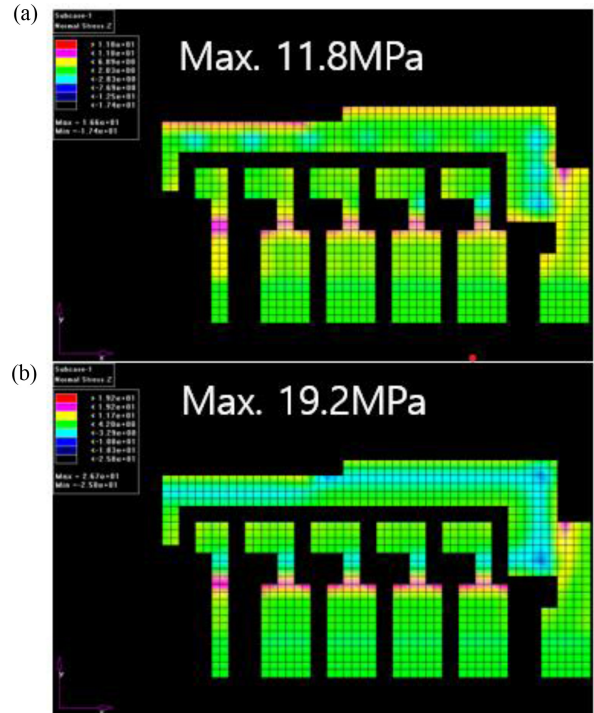


Fig. 9. Normal stress contours for lead frames during thermal-cycling : (a) copper lead frame and (b) alloy 42 lead frame.

발생될 수 있다는 것을 또한 알 수 있다. 이것은 Fig. 8에서 표기된 보호막 손상의 위치가 왜 리드 프레임이 꺾인 부위에서 발생하였는지를 잘 설명해 주고 있는 것이다. Fig. 10은 215 °C의 온도변화 조건에서 alloy 42 리드 프레임을 사용하였을 때 리드 프레임 표면에 발생하는 전단응력 (회로 보호막에 수평으로 작용하는 응력) 분포도를 보

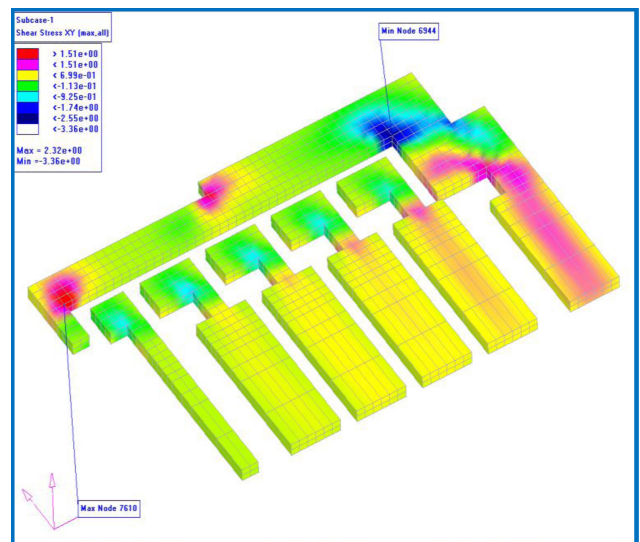


Fig. 10. Shear stress contour for alloy 42 lead frame during thermal-cycling.

여주는 사진이다. 이 그림에서 볼 수 있듯이 회로 보호막에 수직응력으로 작용하는 전단응력의 경우 Fig. 9에서 제시된 수직응력과는 전혀 다른 응력 분포를 나타낸다는 것을 알 수 있다. 즉, 전단응력의 경우 필러에 의한 보호막 손상이 발생하는 리드 프레임의 폭이 좁은 위치 보다는 칩 테두리에 가까운 부위에서 더 큰 전단응력이 발생할 수 있다는 것을 확인할 수 있다. 이러한 전단응력은 필러에 임계치 이상의 압축력을 가하여 단시간 내에 분화구 모양의 회로 보호막 손상을 유발하기 보다는 칩 테두리에 존재하는 다이싱 결함에 전단응력이 누적되면서 칩 테두리에서 중앙으로 향하는 균열 성장의 양상으로 회로 보호막을 손상시킬 수 있는 타당한 근거로 볼 수 있다. 결국, 이러한 전단응력에 의한 회로 보호막 손상은 온도변화 사이클 초기 보다는 온도변화 사이클이 많이 진행된 후반부에 주로 관찰될 수 있음을 추론할 수 있는 것이다. 그리고 이러한 전단응력은 세라믹 칩과 플라스틱 패키지 몸체 사이의 열팽창 차이에 의해 주로 발생할 수 있기 때문에 리드 프레임 재질의 변화에는 거의 영향을 받지 않는 것으로 볼 수 있다. 이것이 바로 Fig. 5의 실험결과에서 볼 수 있듯이 온도변화 사이클이 600회 이상 진행되었을 때 리드 프레임 재질에 관계없이 회로 보호막 손상이 비슷한 양상으로 전개되는 이유를 잘 설명해 주고 있다고 볼 수 있다.

본 연구에서 가장 흥미로운 사실은 리드-온-칩 패키지 구조를 가진 반도체 디바이스에서 신뢰성 검증을 위한 온도변화 사이클 초기에는 리드 프레임 재질 변화에 따른 회로 보호막 (Si_3N_4) 손상의 가능성이 큰 차이를 보이지만, 사이클이 많이 진행된 이후에는 리드 프레임 재질 변화에 따른 보호막 손상 가능성이 큰 차이를 보이지 않는다는 것이다. 이것은 온도변화 사이클 초기에는 누적된 응력 보다 회로 보호막의 특정 부위 (즉, 리드 프레임과 회로 보호막 사이에 필러가 끼여 있는 부위)에서 온도변화 과정에서 충분한 수직응력이 필러에 전가될 때 회로 보호막 손상을 이끌어 낼 수 있는 것으로 해석된다. 즉, 215 °C의 온도변화에서는 alloy 42 리드 프레임의 특정 부위에서 발생하는 수직응력 (필러에 직접적으로 가해질 수 있는 압축력)이 회로 보호막을 손상시킬 정도의 임계치에 도달할 가능성이 있는 것으로 평가된다. 반면, Cu 재질의 리드 프레임이 사용된 경우에는 alloy 42 재질의 리드 프레임이 사용된 경우와는 달리 회로 보호막을 손상시킬 정도의 충분한 수직응력에 도달하기 어려운 것으로 보인다. Cu 재질의 리드 프레임이 사용된 경우 온도변화 진폭이 215 °C일 경우 180 °C의 온도변화 진폭 보다 19% 정도 크더라도 적절한 위치를 선점한 필러 (즉, 리드 프레임과 보호막 사이 끼인 필러)에

가해질 수 있는 압축력 자체가 회로 보호막을 손상시킬 정도로 충분하지 않은 것으로 판단된다. 결국, 온도변화 사이클 초기에는 19% 정도의 온도변화 진폭의 차이 보다는 오히려 리드 프레임 재질의 변화가 필러와 관련된 회로 보호막 손상에 더 큰 영향력을 미치는 것으로 볼 수 있다. 이것은 리드-온-칩 패키지 구조 자체가 패키지 중앙에 위치한 칩을 중심으로 위 아래 구성재료들의 물리적 특성의 불균형이 매우 심한 구조이기 때문에 온도변화를 겪게 되면 각 구성재료들의 열팽창 차이로 인해 패키지의 휨 변형이 발생할 수 있기 때문이다 [1]. 이러한 휨 변형은 패키지 내부 칩을 중심으로 위 아래 구성재료들의 물성 차이가 심할수록 더 많이 발생하게 된다. Table 1에서 볼 수 있듯이 alloy 42는 패키지 몸체를 구성하는 EMC와 열팽창 계수 값이 72% 정도의 차이를 보이지만, Cu의 경우에는 6% 이내의 미미한 차이만을 나타낸다는 것을 알 수 있다. 따라서, alloy 42로 조립된 리드-온-칩 패키지에서 더 큰 휨 변형이 발생하여 적절한 위치를 선점한 필러에 의한 회로 보호막 손상의 가능성이 더 커지는 것으로 볼 수 있다. Fig. 11은 LOC 구조에서 휨 변형으로 인해 필러에 전가될 수 있는 압축응력을 도식적으로 보여주는 사진이다. 이때, 인너 리드 프레임과 회로 보호막 사이에 그림에서처럼 필러가 존재한다는 전제하에 패키지의 휨 변형이 심한 경우 해당 필러에 대단히 큰 압축력이 전가될 수 있다는 것을 알 수 있다. 결국, 필러는 회로를 뒤덮고 있는 취성이 큰 보호막 (Si_3N_4)을 직접적으로 손상시킬 수 있는 것으로 해석될 수 있는 것이다.

Fig. 5는 온도변화 사이클이 600회 이상일 경우 리드 프레임 재질의 차별화에 따른 회로 보호막 손상의 가능성이 큰 차이를 보이지 않는다는 것을 보여준다. 이것은 온도변화 사이클이 충분히 진행된 후에는 회로 보호막 손상이 리드 프레임에 의해 필러에 직접적으로 가해지는 압축력으로 인해 발생하지 않을 수 있다는 것을 추정하게 한다. 즉, 필러에 의한 손상은 Fig. 11에서 볼 수 있듯이 리드 프레임과 회로 보호막 사이에 필러가 존재할 경우에만 발생할 수 있기 때문에 확률적으로 온도변화 사이클 초기에는 이

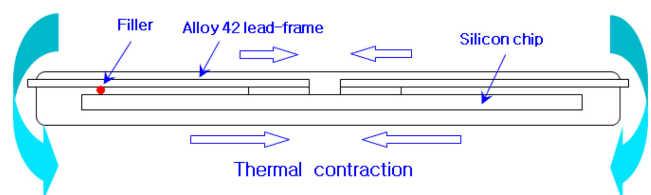


Fig. 11. Schematic showing package deformation during thermal-cycling.

러한 조건을 충족하는 패키지의 수가 많을 수 있다. 그러나, 사이클 수가 커질때는 사이클 초기에 이미 필러에 의한 손상이 발생하였기 때문에 이러한 조건을 충족하는 패키지들이 상대적으로 부족하여 필러에 의한 손상이 발생하기 어려운 것으로 해석된다. 다만, 온도변화 사이클 후반에 리드 프레임 재질과는 무관하게 180 °C 보다 215 °C의 온도변화 진폭에서 회로 보호막 손상이 좀 더 많이 발생한다는 사실은 회로 보호막 손상이 필러가 아닌 다른 역학적인 이유로 발생할 수 있음을 짐작하게 한다. 즉, 세라믹 칩과 플라스틱 패키지 몸체 사이의 열팽창 차이로 인해 회로 보호막에는 Fig. 10에서 볼 수 있듯이 회로 표면에 수평으로 작용하는 전단응력이 누적될 수 있다. 결국, 이러한 전단응력은 리드 프레임과 무관하게 발생할 수 있기 때문에 리드 프레임 재질에 관계없이 온도변화 진폭이 크고, 온도변화 사이클 수가 많을수록 더 많이 누적되어 전단응력과 관련된 회로 보호막 손상을 더 많이 유도하는 것으로 해석할 수 있다. 결론적으로 리드 프레임 재질이 alloy 42일 때 많이 발생하는 회로 보호막 손상은 온도변화 사이클 초기에 리드 프레임과 회로 보호막 사이에 적절한 위치를 선점한 필러에 충분한 압축력이 집중되어 발생되며, 필러가 적절한 위치를 선점하지 못한 경우에는 온도변화 사이클 횟수가 증가하더라도 더 이상 필러에 의한 회로 보호막 손상으로 이어지지 못하는 것이다. 그러나, 온도변화 사이클이 증가하면 필러의 존재 유무와 무관하게 플라스틱 패키지 몸체의 주기적인 변형으로 인해 발생하는 전단응력이 칩 테두리 부위에 누적될 수 있다. 이때, 칩 테두리를 따라 다이싱 결함이 존재할 경우 누적된 전단응력이 이 결함을 회로의 보호막 손상으로 유도할 수 있는 것이다. 이러한 손상은 온도변화 사이클 수가 많아 질수록 심화될 수 있기 때문에 온도변화 사이클 후반에 필러와 무관한 회로 보호막 손상이 리드 프레임 재질과 무관하게 발생하게 되는 타당한 이유로 볼 수 있다.

4. CONCLUSIONS

본 연구에서는 리드-온-칩 패키지 구조로 조립된 반도체 디바이스에서 온도변화 사이클이 200회일 때 리드 프레임 재질이 alloy 42이고, 온도 변화폭이 215 °C일 경우 리드 프레임 재질이 Cu이고, 온도 변화폭이 180 °C일 경우에 비해 회로 보호막 (Si_3N_4) 손상이 3배 정도 더 많이 발생하는 것으로 조사되었다. 반면, 온도변화 사이클 수가 600회를 초과 할 때는 리드-온-칩 패키지를 구성하는 리드 프레임 재질의 변화가 반도체 디바이스의 회로 보호막 손상

에 별다른 영향을 미치지 못하는 것으로 조사되었다. 이에 대한 이유를 알기 위한 전자 현미경 분석 결과 온도변화 사이클 수가 작을 때는 회로 보호막이 리드 프레임과 회로 보호막 사이에 필러가 존재하고, 215 °C의 온도변화와 alloy 42의 리드 프레임 재질이 해당 필러에 충분한 압축응력을 유도할 수 있을 때 분화구 모양의 회로 보호막 손상이 발생할 수 있는 것으로 확인되었다. 반면, 온도변화 사이클 수가 많을 때는 온도변화가 진행됨에 따라 필러의 존재 유무에 관계없이 칩 테두리 부위의 다이싱 결함에 피로 전단응력이 누적되어 회로 보호막을 손상 시키는 것으로 조사되었다. 응력해석 결과에서도 리드-온-칩 패키지 구조에서 필러에 직접적인 압축력을 유발할 수 있는 수직응력은 alloy 42 리드 프레임이 사용될 경우 Cu 리드 프레임이 사용된 경우 보다 62.7% 더 큰 것으로 분석되었다. 반면, 다이싱 결함의 성장에 필요한 전단응력의 경우에는 리드 프레임 재질의 변화에는 별다른 영향을 받지 않는 것으로 조사되었다. 결국, 리드-온-칩 구조를 가진 반도체 디바이스에서 회로 보호막 손상을 예방하기 위해서는 온도변화 초기에는 리드 프레임 재질의 적절한 선택이 매우 중요하며, 온도변화 후기에는 다이싱 결함을 억제하는 것이 전자 패키지의 신뢰성 향상을 위해 매우 중요하다는 것을 알 수 있었다.

ACKNOWLEDGEMENT

본 연구는 2021년도 인천대학교의 연구지원에 의해 수행되었으며, 이에 감사드립니다.

REFERENCES

1. S. M. Lee and Y. W. Kim, *J. Mech. Sci. Technol.*, **34**, 675 (2020).
2. J. Abenojar, M. A. Martínez, F. Velasco, V. Pascual-Sánchez, and J. M. Martín-Martínez, *J. Adhes.*, **85**, 216 (2009).
3. H. Ku and P. Wong, *J. Appl. Polym. Sci.*, **123**, 152 (2012).
4. H. V. Rama Krishna, S. Padma Priya, S.K. Rai and A. Varada Rajulu, *J. Reinf. Plast. Compos.*, **24**, 451 (2005).
5. A. Patnaik, A. Satapathy, S. S. Mahapatra, and R. R. Dash, *J. Reinf. Plast. Compos.*, **28**, 1305 (2009).
6. R. M. Wang, S. R. Zheng, and Y. P. Zheng, *Polymer Matrix Composites and Technology*, Woodhead Publishing Limited, Cambridge, UK, (2011).
7. S. Y. Fu, B. Lauke, and Y. W. Mai, *Science and Engineering*

- of Short Fibre Reinforced Polymer Composites*, Woodhead Publishing Limited (CRC Press), Cambridge, UK, (2009).
8. J. V. Milewski and H. S. Katz, *Handbook of Reinforcements for Plastics*, Van Nostrand Reinhold, New York, USA, (1987).
 9. L. Nielsen and R. Landel, *Mechanical Properties of Polymers and Composites*, Marcel Decker, New York, USA, (1994).
 10. K. Friedrich, S. Fakirov, and Z. Zhang, *Polymer Composites from Nano- to Macroscale*, Springer, New York, USA, (2005).
 11. R. N. Rotheron, *Particulate Filled Polymer Composites*, Rapra Technology, London, UK, (2003).
 12. E. S. Greenhalgh, *Failure Analysis and Fractography of Polymer Composites*, Woodhead Publishing Limited (CRC Press), Cambridge, UK, (2009).